



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010028845

(43) Publication.Date. 20010406

(21) Application No.1019990041328

(22) Application Date. 19990927

(51) IPC Code:

H01L 23/14

(71) Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(72) Inventor:

KIM, HAK SEO

LEE, SE JIN

(30) Priority:

(54) Title of Invention

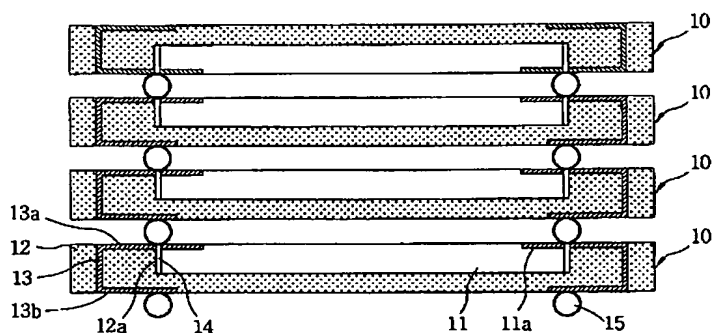
STACKED MICRO BALL GRID ARRAY AND MANUFACTURING METHOD THEREOF

Representative drawing

(57) Abstract:

PURPOSE: A stacked micro ball grid array (BGA) is provided to mount a plurality of bare chips on a printed circuit board in a high density, by using a structure excluding a use of a lead wire.

CONSTITUTION: A mount groove(12a) of which an inside is a rectangular space part is formed. A plurality of conductors(13) are symmetrically formed toward the inside, having a rectangular shape whose one side is open, so that an insulating film(12) is fabricated to form an upper pad(13a) and a lower pad(13b). A plane-type semiconductor chip to which a plurality of chip pads(11a) are adhered is mounted in the mount groove so that a plurality of solder ball settling grooves(14) are manufactured to form a single unit package(10) by making a side end of the upper pad separated from a side end of the chip pad. A solder ball(15) is settled on an upper portion of the respective solder ball settling grooves and on a lower surface of the respective lower pads to stack the plurality of single unit packages vertically. The uppermost single unit package is stacked upside-down.



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁸

(11) 공개번호 특2001-0028845

H01L 23 /14

(43) 공개일자 2001년04월06일

(21) 출원번호 10-1999-0041328

(22) 출원일자 1999년09월27일

(71) 출원인 현대반도체 주식회사

(72) 발명자 충북 청주시 흥덕구 향정동 1번지
김학서

충청북도청주시상당구내덕2동115-73

이세진

(74) 대리인 대전광역시중구충촌동시영아파트8동204호
박장원

심사청구 : 있음

(54) 적층형 마이크로 비지에이 패키지 및 제조방법

요약

본 발명은 적층형 마이크로 비지에이 패키지 및 제조방법에 관한 것으로서, 종래의 적층형 마이크로 비지에이 패키지는 인쇄회로기판에 여러개의 베어칩을 리드선을 이용하여 실장하므로 리드선의 길이가 길어지고 복잡해지며 고열이 발생하는 바, 전자신호 전달이 지연되며 및 노이즈가 발생되었으며, 또한 좁은 공간에 다수개의 베어칩을 고밀도로 실장하는 조립 작업이 불편하므로 제조공정상의 생산성이 저하되고, 불량발생이 증가되어 제조원가가 상승되는 문제점이 있었으나, 본 발명은 베어칩을 절연필름의 내측에 형성된 실장홀에 내삽하여 단품패키지를 완성하고 솔더볼안착홈과 하부패드에 솔더볼을 부착하면서 단품패키지를 적층시키도록 구성함으로써, 종래와는 달리 리드선을 사용하지 않고 솔더볼을 사용하므로 적층구조가 간단하여 고열의 발생이 억제되므로 전자신호 전달이 지연되거나 노이즈가 발생하는 것을 방지하며 다수개의 베어칩을 고밀도로 실장시킬 수 있으며, 또한, 다수개의 베어칩을 적층하여 하나의 디바이스 구조를 구성하므로 실장횟수가 감소되고 제조공정상의 생산성 및 품질이 향상되어 제조원가가 저감되는 한편, 협소한 공간의 인쇄회로기판에 대용량의 메모리 제품을 제조할 수 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 적층형 마이크로 비지에이 패키지의 구조를 나타내 보인 사시도.

도 2는 본 발명에 따른 적층형 마이크로 비지에이 패키지의 구조를 나타내 보인 단면도.

도 3a 내지 도 3e는 본 발명에 따른 적층형 마이크로 비지에이 패키지의 제조공정을 순차적으로 나타내 보인 단면도.

도 4는 본 발명에 따른 적층형 마이크로 비지에이 패키지가 인쇄회로기판에 실장된 상태를 나타내 보인 단면도.

< 도면의 주요부분에 대한 부호설명 >

10 : 단품패키지 11 : 베어칩

11a: 칩패드 12 : 절연필름

12a: 실장홈 12b: 컨덕터결합공

13 : 컨덕터 13a: 상부패드

13b: 하부패드 14 : 솔더볼안착홈

15 : 솔더볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층형 마이크로 비지에이 패키지 및 제조방법에 관한 것으로서, 보다 상세하게는 솔더볼을 이용하여 수개의 베어칩을 인쇄회로기판에 고밀도로 실장할 수 있는 적층형 마이크로 비지에이 패키지 및 제조방법에 관한 것이다.

일반적으로 칩의 크기와 유사한 크기의 패키지를 제조하는 기술의 일환으로 개발된 패키지가 CSP(CHIP SIZE PACKAGE)이며, 이와 같은 CSP의 일종으로 마이크로 비지에이 패키지가 적용되고, 최근 상기 패키지를 적층하는 기술이 크게 부각되고 있는 바, 많은 투자 없이도 시스템이 요구하는 고집적 메모리 및 다기능 디바이스 등을 출현시키고 있다.

도 1은 베어칩의 일측에 형성된 패드에 리드선을 본딩하고 그 리드선을 인쇄회로기판에 연결하여 고밀도화를 실현한 종래 베어칩의 적층구조를 나타내 보인 사시도로서, 도시된 바와 같이, 상면의 양측에는 다수개의 칩패드(1a)가 형성되며, 중앙에는 점착용 절연테이프(2)가 부착되는 반도체칩(1)이 상하로 적층되며, 상기 각 칩패드(1a)에는 리드선(3)이 부착되어 인쇄회로기판(4)의 상면에 형성된 패드(4a)에 전기적으로 연결되도록 구성된다.

그러나, 상기와 같은 구성을 갖는 종래의 베어칩에 의한 적층형 마이크로 비지에이 패키지는 협소한 인쇄회로기판에 여러 개의 베어칩을 고밀도로 실장하므로 리드선의 길이가 길어지고 복잡해지며 고열이 발생하는 바, 전자신호 전달이 지연되며 및 노이즈가 발생되었다. 또한, 좁은 공간에 다수개의 베어칩을 고밀도로 실장시키는 조립작업이 불편하므로 제조공정상의 생산성이 저하되고, 불량발생이 증가되어 제조원가가 상승되는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 리드선의 사용을 배제하는 구조를 채택하여 수개의 베어칩을 인쇄회로기판에 고밀도로 실장할 수 있는 적층형 마이크로 비지에이 패키지 및 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명인 적층형 마이크로 비지에이 패키지는 내측이 장방형의 공간부로 이루어진 실장홀이 형성되며 그 양측에는 다수개의 컨덕터가 내측을 향해 π 자 형태로 대칭으로 형성되어 상부패드와 하부패드를 형성하도록 절연필름이 형성되며, 상면에 다수개의 칩패드가 부착된 평판상의 반도체칩이 상기 실장홀에 장착되어 상기 상부패드의 일측단과 칩패드의 측단이 소정거리 이격되어 다수개의 솔더불안착홀을 형성하여 단품패키지를 구성하며, 상기 각 솔더불안착홀의 상부와 상기 각 하부패드의 하면에 솔더볼이 안착되면서 상기 다수개의 단품패키지가 상하로 적층되고, 최상단의 단품패키지는 상하가 반전되도록 적층되도록 구성된다.

그리고, 상기 적층형 마이크로 비지에이 패키지의 제조방법은 상면에 다수개의 칩패드가 부착된 베어칩을 형성하는 단계와; 상기 절연필름의 내측에 장방형의 공간부로 이루어진 실장홀과 컨덕터결합공을 식각하고, 상기 컨덕터를 π 자 형상으로 내측을 향해 대칭으로 상부패드와 하부패드를 형성하는 단계와; 상기 베어칩을 상기 실장홀에 장착하여 상기 상부패드의 일측단과 칩패드의 측단이 소정거리 이격되어 솔더불안착홀을 형성한 후, 상기 솔더불안착홀의 상부에 솔더볼을 부착하여 상기 상부패드와 칩패드를 전기적으로 연결하여 단품패키지를 완성하는 단계와; 상기 각 솔더불안착홀의 상부와 상기 각 하부패드의 하면에 솔더볼을 안착하면서 단품패키지를 상하로 적층하고, 최상단의 단품패키지는 상하가 반전되도록 적층하며, 최하단 단품패키지의 하부패드에는 솔더볼을 부착하는 단계의 순서로 제조되는 것을 특징으로 한다.

이하 본 발명의 바람직한 일실시례를 첨부 도면에 의거하여 상세히 설명하면 다음과 같다.

도 2는 상기 적층형 마이크로 비지에이 패키지의 단면도로서, 도시된 바와 같이, 내측이 장방형의 공간부로 이루어진 실장홀(12a)이 형성되며 그 양측에는 다수개의 컨덕터(13)가 내측을 향해 π 자 형태로 대칭으로 형성되어 상부패드(13a)와 하부패드(13b)를 형성하도록 절연필름(12)이 형성되며, 상면에 다수개의 칩패드(11a)가 부착된 평판상의 반도체칩(11)이 상기 실장홀(12a)에 장착되어 상기 상부패드(13a)의 일측단과 칩패드(11a)의 측단이 소정거리 이격되어 다수개의 솔더불안착홀(14)을 형성하여 단품패키지(10)를 구성한다.

그리고, 상기 각 솔더불안착홀(14)의 상부와 상기 각 하부패드(13b)의 하면에 솔더볼(15)이 안착되면서 4개의 단품패키지(10)가 상하로 적층되고, 최상단의 단품패키지(10)는 상하가 반전되며, 최하단 단품패키지(10)의 하부패드(13b)에는 솔더볼(15)이 부착되어 인쇄회로기판에 실장되도록 구성된다.

이하, 상기와 같이 구성된 본 발명에 따른 적층형 마이크로 비지에이 패키지의 제조방법을 순차적으로 설명하면 다음과 같다.

먼저, 도 3a에 도시된 바와 같이, 상면에 다수개의 칩패드(11a)가 부착된 베어칩(11)을 형성한다.

다음, 도 3b와 같이, 절연필름(12)의 내측에 장방형의 공간부로 이루어진 실장홀(12a)과 컨덕터결합공(12b)을 식각공정으로 식각하고, 도 3c와 같이, 상기 컨덕터(13)를 π 자 형상으로 내측을 향해 대칭으로 절곡하여 상부패드(13a)와 하부패드(13b)를 형성한다.

상기 상부패드(13a) 및 하부패드(13b)를 형성하는 공정은 증착공정에 의하거나 또는 필름부착후 식각에 의하는 등 기타 패드 재배열 등에 의할 수도 있다.

그런 다음, 도 3d와 같이, 상기 베어칩(11)을 상기 실장홀(12a)에 장착하여 상기 상부패드(13a)의 일측단과 칩패드(11a)

의 측단이 소정거리 이격되어 솔더불안착홀(14)을 형성한 후, 상기 솔더불안착홀(14)의 상부에 솔더볼(15)을 부착하여 상기 상부패드(13a)와 칩패드(11a)를 전기적으로 연결하여 단품패키지(10)를 완성한다.

그런 다음, 도 3e와 같이, 상기 각 솔더불안착홀(14)의 상부와 상기 각 하부패드(13b)의 하면에 솔더볼(15)을 안착하면서 단품패키지(10)를 상하로 적층하고, 도 2와 같이, 그 위에 최상단의 단품패키지(10)는 상하가 반전되도록 적층시키며, 최하단 단품패키지(10)의 하부패드(13b)에는 솔더볼(15)을 부착하여 적층형 마이크로 비지에이 패키지를 완성한다.

도 4는 본 발명에 따른 적층형 마이크로 비지에이 패키지가 적층되어 인쇄회로기판(4)에 실장된 상태를 나타내 보인 단면도로서, 최하단 단품패키지(10)의 하부패드(13b)에 부착된 솔더볼(15)이 인쇄회로기판(4)의 패드(미도시)에 연결된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 적층형 마이크로 비지에이 패키지 및 제조방법은 베어칩을 절연필름의 내측에 형성된 실장홀에 내삽하여 단품패키지를 완성하고 솔더불안착홀과 하부패드에 솔더볼을 부착하면서 단품패키지를 적층시키도록 구성함으로써, 종래와는 달리 리드선을 사용하지 않고 솔더볼을 사용하므로 적층구조가 간단하여 고열의 발생이 억제되며, 각 단품패키지는 솔더볼의 크기 만큼 공간부가 형성되어 절연필름의 하부를 통하여 방열시킬 수 있으므로 전자 신호 전달이 지연되거나 노이즈가 발생하는 것을 방지하며 다수개의 베어칩을 고밀도로 실장시킬 수 있는 효과가 있다.

또한, 다수개의 베어칩을 적층하여 하나의 디바이스 구조를 구성하므로 실장횟수가 감소되고 제조공정상의 생산성 및 품질이 향상되어 제조원가가 저감되는 한편, 협소한 공간의 인쇄회로기판에 대용량의 메모리 제품을 제조할 수 있는 효과가 있다.

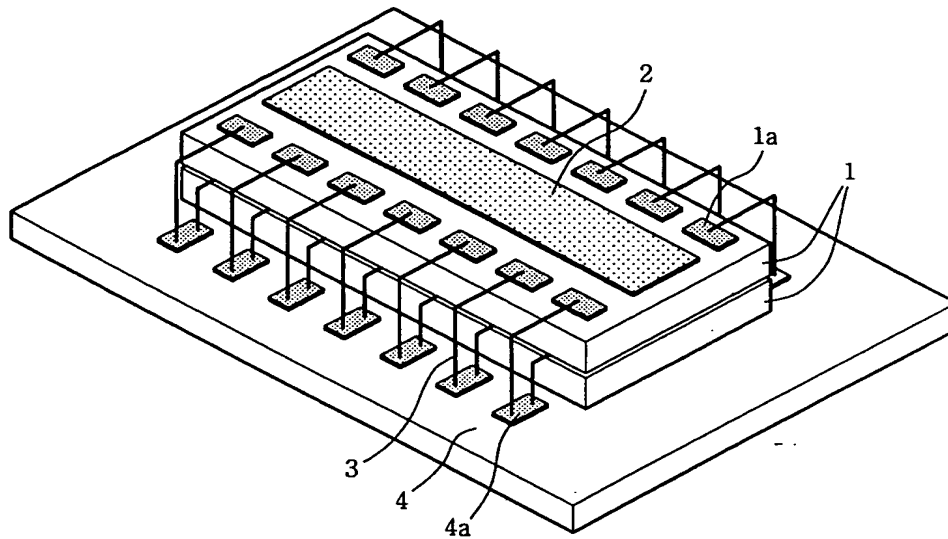
(57) 청구의 범위

청구항 1. 내측이 장방형의 공간부로 이루어진 실장홀이 형성되며 그 양측에는 다수개의 컨덕터가 내측을 향해 π 자 형태로 대칭으로 형성되어 상부패드와 하부패드를 형성하도록 절연필름이 형성되며, 상면에 다수개의 칩패드가 부착된 평판상의 반도체칩이 상기 실장홀에 장착되어 상기 상부패드의 일측단과 칩패드의 측단이 소정거리 이격되어 다수개의 솔더불안착홀을 형성하여 단품패키지를 구성하며, 상기 각 솔더불안착홀의 상부와 상기 각 하부패드의 하면에 솔더볼이 안착되면서 상기 다수개의 단품패키지가 상하로 적층되고, 최상단의 단품패키지는 상하가 반전되도록 적층되도록 구성된 것을 특징으로 하는 적층형 마이크로 비지에이 패키지.

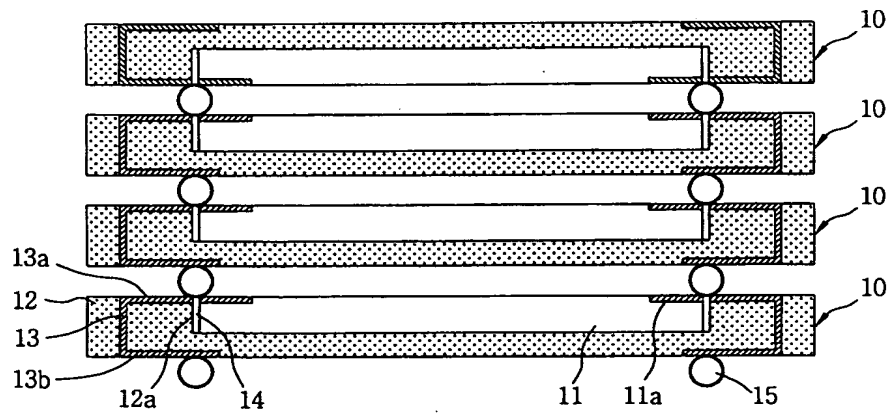
청구항 2. 상면에 다수개의 칩패드가 부착된 베어칩을 형성하는 단계와; 상기 절연필름의 내측에 장방형의 공간부로 이루어진 실장홀과 컨덕터결합공을 식각하고, 상기 컨덕터를 π 자 형상으로 내측을 향해 대칭으로 상부패드와 하부패드를 형성하는 단계와; 상기 베어칩을 상기 실장홀에 장착하여 상기 상부패드의 일측단과 칩패드의 측단이 소정거리 이격되어 솔더불안착홀을 형성한 후, 상기 솔더불안착홀의 상부에 솔더볼을 부착하여 상기 상부패드와 칩패드를 전기적으로 연결하여 단품패키지를 완성하는 단계와; 상기 각 솔더불안착홀의 상부와 상기 각 하부패드의 하면에 솔더볼을 안착하면서 단품패키지를 상하로 적층하고, 최상단의 단품패키지는 상하가 반전되도록 적층하며, 최하단 단품패키지의 하부패드에는 솔더볼을 부착하는 단계의 순서로 제조되는 것을 특징으로 하는 적층형 마이크로 비지에이 패키지의 제조방법.

도면

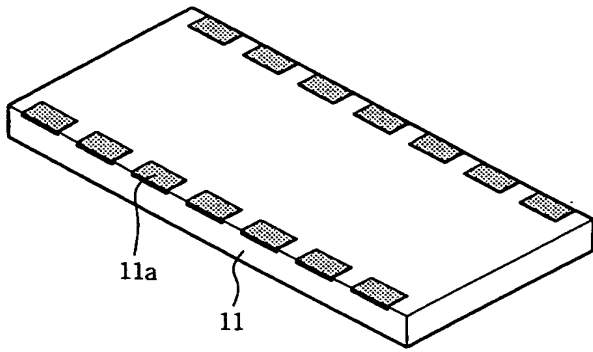
도면1



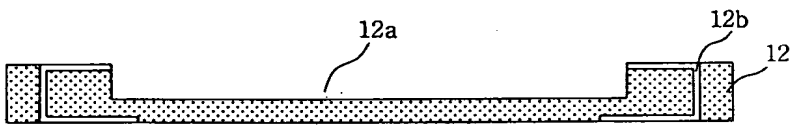
도면2



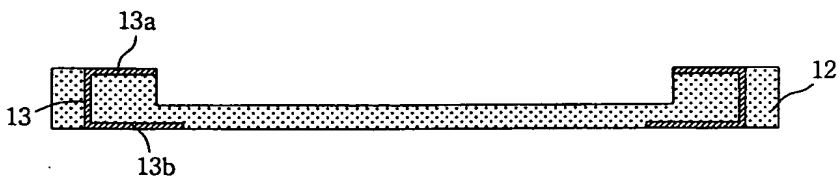
도면3a



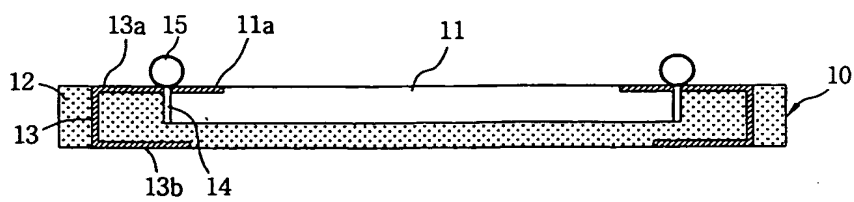
도면3b



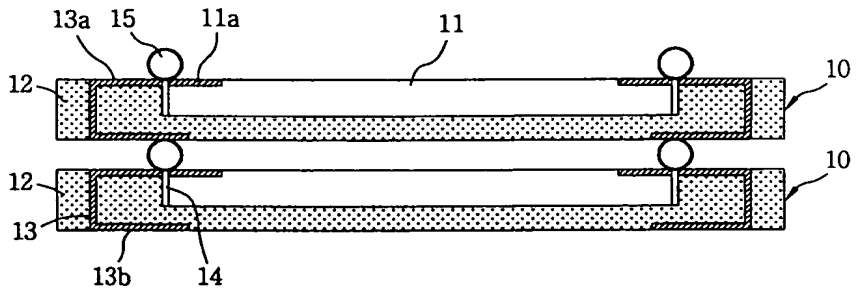
도면3c



도면3d



도면3e



도면4

